

THESE

présentée à

Institut National Polytechnique de Grenoble

pour obtenir le grade de
DOCTEUR DE 3ème cycle
«Informatique»

par

DURET Alain



**PARTICIPATION A LA CONCEPTION ET LA
REALISATION EN LSI, DE LA PARTIE
OPERATIVE D'UNE MACHINE INTEGREE.**



Thèse soutenue le 6 décembre 1979 devant la commission d'examen

Monsieur **BOLLIET**

Président

Messieurs **BOREL**

GERBER

MOREAU

ANCEAU

Examineurs

TABLE DES MATIERES

I - INTRODUCTION

II - CONCEPTION D'UNE UNITE ARITHMETIQUE ET LOGIQUE

II - 1 CAHIER DES CHARGES

II - 2 L'OPERATEUR ARITHMETIQUE ET LOGIQUE

II - 2-1 GENERALITES SUR LES OPERATEURS ARITHMETIQUES

II - 2-2 ETUDE DE L'OPERATEUR ARITHMETIQUE ET LOGIQUE DU MC6800

II - 2-3 DEFINITION DE L'UAL DU P68

II - 3 LE CIRCUIT DE PARITE ET LES ACCUMULATEURS

II - 3-1 LE CIRCUIT DE PARITE

II - 3-2 CORRECTION APRES UNE ADDITION/SOUSTRACTION DECIMALE

II - 3-2-1 CORRECTION APRES UNE ADDITION DECIMAL

II - 3-2-2 CORRECTION APRES UNE SOUSTRACTION DECIMALE

II - 3-3 LES DEUX ACCUMULATEURS

III - ETUDE ET COMPARAISON DES OPERATIONS ARITHMETIQUES ET LOGIQUES DE QUELQUES MICROPROCESSEURS

III - 1 LES OPERATIONS ARITHMETIQUES ET LOGIQUES DANS
QUELQUES MICROPROCESSEURS

III - 1-1 LE 8085 DE INTEL

III - 1-2 LE Z80 DE ZILOG

III - 1-3 LE CPI600 DE GENERAL INSTRUMENT

III - 1-4 LE 2650 DE SIGNETICS

III - 2 QUELQUES PRINCIPES A DEGAGER DE L'APERCU PRECEDENT

III - 2-1 CIRCUIT DE PROPAGATION DE LA RETENUE

III - 2-2 LES OPERATEURS ARITHMETIQUES ET LOGIQUES
SERIE-PARALLELE

III - 2-3 MEMOIRE INTERNE OU REGISTRES INDEPENDANTS

IV - OUTILS D'AIDE A L'IMPLANTATION

IV - 1 DESCRIPTION D'UNE STRUCTURE REPETITIVE

IV - 2 REALISATION D'OPERATEURS ARITHMETIQUES ET LOGIQUES
SOUS FORME MATRICIELLE

IV - 3 EVALUATION DE CETTE REPRESENTATION MATRICIELLE

IV - 4 AUTRES METHODES D'IMPLANTATION

IV - 4-1 OPTIMISATION DE LA PRECEDENTE

IV - 4-2 LA METHODE MD-MOS DU CNET

IV - 4-3 MATRICES DE NANDS

V - QUELQUES REFLEXIONS SUR L'ARCHITECTURE INTEGREE

V - 1 LES BUS DANS LES CIRCUITS INTEGRES

- V - 2 LES ELEMENTS DE MEMORISATION
- V - 3 LES COMMANDES DANS LES CIRCUITS INTEGRES
- V - 4 COMPROMIS VITESSE SURFACE-OCCUPEE POUR UN CIRCUIT
D'ANTICIPATION

VI - CONCLUSION

ANNEXE

I - UAL DU P68

- I - 1 SCHEMA DE L'UAL DU P68
- I - 2 PROFIL DES COMMANDES POUR LES DIFFERENTES OPERATIONS
- I - 3 SCHEMA D'IMPLANTATION

II - PRESENTATION D'UNE TECHNOLOGIE ET D'UNE FAMILLE, LA NMOS

- II - 1 QUELQUES RAPPELS
 - II - 1-1 NOTION DE TROU
 - II - 1-2 LA JONCTION P-N
- II - 2 LE TRANSISTOR MOS
 - II - 2-1 DESCRIPTION
 - II - 2-2 PRINCIPE DE FONCTIONNEMENT
 - II - 2-3 MODELISATION DU MOS
 - II - 2-4 REALISATION INDUSTRIELLE
- II - 3 ELEMENTS ENTRANT DANS LA CONCEPTION D'UNE FONCTION
LOGIQUE

- II - 3-1 REALISATION DE PORTES LOGIQUES DE BASE
- II - 3-2 DETERMINATION DES CARACTERISTIQUES D'UNE PORTE LOGIQUE
 - II - 3-2-1 FACTEUR DE PENTE INTERNE ET FACTEUR GEOMETRIQUE
 - II - 3-2-2 DETERMINATION DES GEOMETRIES D'UN INVERSEUR
 - II - 3-2-3 LES GEOMETRIES DU NOR ET DU NAND
- II - 3-3 FONCTIONNEMENT DYNAMIQUE